

[MENU](#)[SEARCH](#)[INDEX](#)[DETAIL](#)[JAPANESE](#)

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-234505

(43)Date of publication of application : 22.08.2003

(51)Int.Cl.

H01L 33/00

(21)Application number : 2003-020946 (71)Applicant : OSRAM OPTO
SEMICONDUCTORS GMBH
 (22)Date of filing : 29.01.2003 (72)Inventor : BRUDERL GEORG
BAUR JOHANNES

(30)Priority

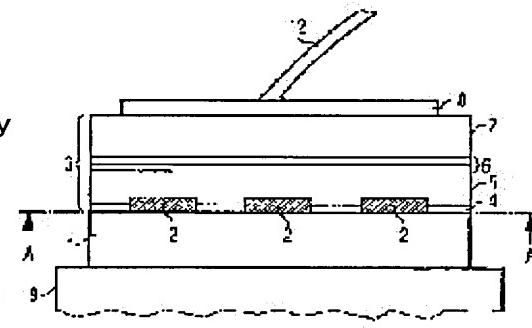
Priority number : 2002 10203801 Priority date : 31.01.2002 Priority country : DE

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To develop a semiconductor device that is equipped with a transition section having an electric series resistance as small as possible between a semiconductor body and a substrate.

SOLUTION: In the semiconductor device, a conductive substrate (1) and a semiconductor body (3) are provided, and the semiconductor body (3) has at least one nitride-compound semiconductor and at the same time is arranged on the surface of the substrate (1). In this case, a conductive mask layer (2) having a specific mask structure for reducing the series resistance in the semiconductor device is arranged between the substrate (1) and the semiconductor body (3), and the surface of the substrate (1) is partially covered with the mask layer.



LEGAL STATUS

[Date of request for examination] 29.01.2003

[Date of sending the examiner's decision of rejection] 22.09.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

持体9上に固定され、この支持体9は導電性であるか又は基板1のマウンティング側で相応する導電性の構造を有する。この支持体9とは反対側で、半導体がディ3にコントラクト面が接着されており、このコントラクト面8にたとえばワイヤボンディング12が接続することができます。

[0030] 図2a～2eには、本発明による製造方法の実施例が、5つの中間工程を用いて図式的に示されています。

[0031] 第1の段階、図2aでは、基板1、たとえ S-iC基板上に、導電性の一貫した層2aが設置されおり、この層から次にマスク層を形成する。この層はニッケル層であるか又はすでに前記した他の金属又は金属化合物からなる層であることができる。金属層の厚さは有利に10 nm～100 nmである。

[0032] この層2aの設置のために、慣用のスパッタ法又は蒸着法が適している。

[0033] 次の工程、図2bでは、半導体がディスファオトリングラフイー法を用いて焼成され、基板1上に開口11を備えたマスク層2が生じ、この場合、開口11の範囲内に基板1の表面が露出する。

[0034] 第3の工程、図2cでは、半導体がディス半導体がディの少なくとも1つの半導体層5が設置される。この層5は基板1上に直接エビタキシャル成長されれるか又は焼成せられた後断面上に成長させる。この層5及び場合にはより緩衝層4は、この場合だけ、基板1の、マスク層2により覆われない領域にだけ成長し、つまりこのマスク層2はまでは覆われない。

[0035] 両方の場合に、気化物ベースの半導体材料、たとえばA1GaNを基板上に設置するのが有利である。このような半導体基板5のエビタキシャル堆積の場合は、基板1上に絶縁性のAlN皮膜が形成することができる。格子定数の整合のための緩衝層4の設置は、一般にAlN含有量の高い層の堆積を必要とし、この層は同様に低い導電性を有する。先行技術によるデバイス抗のこのようない上昇はマスク層2の導電性によって抑制される、それというのもマスク層2は半導体がディと基板との間の導電性の悪い層に隔離するためである。

[0036] マスク層の厚さを上回るよう半導体層5をさらに成長させる場合に、この半導体層5は比較的高いラテラル方向の成長速度に基づき、ラテラル方向に拡大し、マスク層2はこの半導体層5により覆われ(図2d)、最終的に半導体層5内に完全に埋め込まれる。エビタキシャル層はマスク層2を覆う領域でも良好な品質を有し、かつ特に低い欠陥密度を有する。この種の被覆プロセスは、ELOG法(Epitaxial Lateral Over Growth)として公知でもある。この半導体層5の成長

は、一體的に閉じた半導体表面10がマスク層2の上方に生じるまで行われる(図2e)。

[0037] 基板と接する半導体層5もしくは緩衝層4は、從来の成長プロセスにおいて形成される層に対する一般的な成長速度よりも低い、低められた速度で成長するのが有利である。相応の温度は当業者に公知であるかもしくは開発する文献から推察できる。たとえば、A1GaN層は通常10～50°Cの温度で成長せざる。それに対して、本発明の場合は9～50°Cの温度にて低下させ、マスク層2及び基板1の材料から不必要な化合物が生じることを回避する。特に、ニッケルを含有するマスク層の場合に、液相の形のケイ化ニッケルが形成される危険が生じ、これは次の層の引き継ぎ堆積を阻害してしまう。

[0038] 図3において、本発明の第2の実施例の図式的な断面図を表す。この断面は、図1に対応するデバイスの断面図を表す。この断面は、A-A線に沿っており、マスク層2のラテラル構造を示す。

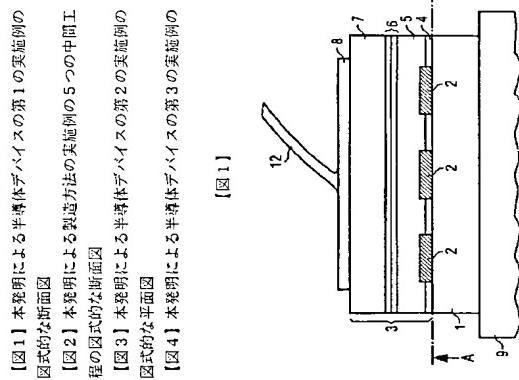
[0039] このマスク層2は、複数の相互に垂直に交差するストライプを形成し、このストライプの間に複数の長方形又は正方形の開口11が形成されている。この開口は、基板の、マスク層2により覆われていない領域に相当し、この開口中に半導体層5もしくは緩衝層4をまず成長させる。ストライプ層5及び開口11の幅bは有利に0.5～5.0 μm、特に有利に1 μm～20 μmである。この寸法もしくはラスター基準(Rastermass)Rに相当し、この場合に必要な層厚は低下する。たとえばストライプ幅s及び開口11の幅bは有利に0.5 μm～5 μm、特に有利に2 μm及びラスター基準R約5 μmの長方形状の格子は、デバイス中に電流が均一に流れるという利点を有する。同じストライプ幅sでラスター基準Rを高める、たとえば7 μmに高めた場合に、閉じた半導体層の構造のために必要な層厚は低下し、それに伴う製造コストも低減する。より大きなラスター基準、たとえば1.2 μmの場合にも、半導体層中の電流密度の有利な減少が生じる。

[0040] また、図4に示されているような、マスクのストライプ状の構造も可能である。図3で示した実施例と比べて、この半導体層5はこの場合には層5が複数の個別の領域に区分されているため、マスク層2を複数に接する界面が相互に接合する。それにより一側的に閉じた半導体層が形成するまでに必要な層厚を減少される。ストライプ幅s、開口幅bもしくはラスター基準R=s+b+2に示すように、図3に示した実施例と同じ領域の数値が適用し、その際、一般にストライプ状の構造の場合に電流の流れの均一性は、必要なより薄い層厚及びより僅かな転位密度が生じるよう調整される。

[0041] この実施例を用いて本発明を説明するが、もちろん、この実施例は本発明を限定するものではない。

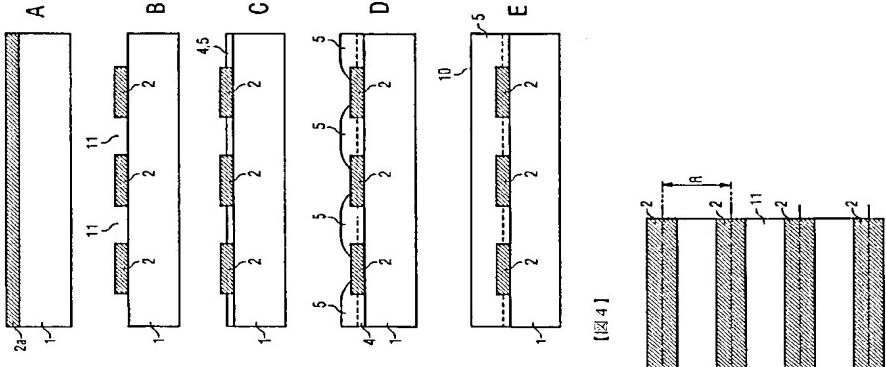
【図面の簡単な説明】

(6)

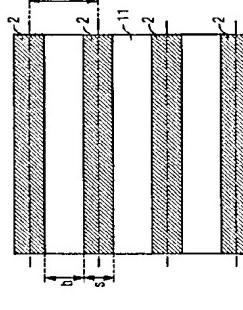


[図1]

[図2]



[図3]



フロントページの続き

(72)発明者 タオルク ブリューデル
ドイツ連邦共和国 ブルクレンゲンフェル
ト アカツイエンヴェーク 19

(73)発明者 ヨハネス バウル
ドイツ連邦共和国 ドイエルリンク アム
ハスラッハ 9
Fターム(参考) 5F041 AA03 AA24 CA33 CA40 CA83
CA93